

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **04-257268**

(43)Date of publication of application : **11.09.1992**

---

(51)Int.Cl. **H01L 29/788**

**H01L 29/792**

**G11C 16/06**

**H01L 27/04**

**H01L 27/10**

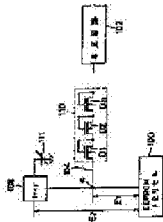
---

(21)Application number : **03-018718** (71)Applicant : **TOSHIBA CORP**

(22)Date of filing : **12.02.1991** (72)Inventor : **AOYANAGI YOJI**  
**WADA YUKIO**

---

(54) **VOLTAGE SUPPLYING CIRCUIT FOR NON-VOLATILE MEMORY CELL**



(57)Abstract:

PURPOSE: To provide a voltage supplying circuit for an electric field acceleration screening practicable non-volatile memory cell.

CONSTITUTION: A voltage dropping device 110 which drops the voltage raised by a voltage raising device 102 is connected between the voltage raising device 102 which raises the power-supply voltage and a non-volatile memory cell 100. One end of a pad 108 is connected to one point which is located between the voltage dropping device 110 and the memory cell 100. In the ordinary use, the voltage which is dropped by the voltage dropping device 110 is supplied to the memory cell 100 and in a test process, a voltage higher than the voltage dropped by the pad 108 is supplied to the memory cell 100.

---

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's  
decision of rejection]

[Kind of final disposal of application  
other than the examiner's decision of  
rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-257268

(43) 公開日 平成4年(1992)9月11日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/788				
29/792				
G 1 1 C 16/06				
		7377-4M	H 0 1 L 29/78	3 7 1
		9191-5L	G 1 1 C 17/00	3 0 9 D
審査請求 未請求 請求項の数 4 (全 7 頁) 最終頁に続く				

(21) 出願番号 特願平3-18718

(22) 出願日 平成3年(1991)2月12日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 青柳 洋史

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(72) 発明者 和田 幸夫

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

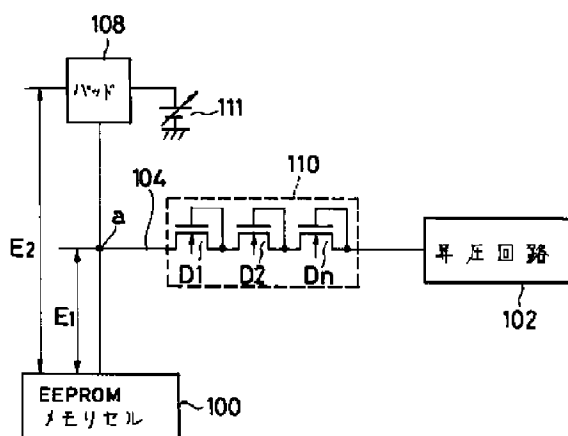
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 不揮発性メモリセルへの電圧供給回路

(57) 【要約】

【目的】 この発明は、電界加速スクリーニングを可能とできる不揮発性メモリセルへの電圧供給回路を提供しようとするものである。

【構成】 電源電圧を昇圧する昇圧手段(102)と不揮発性メモリセル(100)との相互間に昇圧手段(102)により昇圧された電圧を降圧する降圧手段(110)が接続され、降圧手段(110)とメモリセル(100)との相互間の一点にパッド(108)の一端が接続されている。そして通常使用時には降圧手段(110)により降圧された電圧をメモリセル(100)に供給し、検査工程時にはパッド(108)に降圧された電圧より高い電圧を印加してメモリセル(100)に供給するように構成したことを特徴としている。



## 【特許請求の範囲】

【請求項1】 電源電圧を昇圧する昇圧手段と、前記昇圧手段に一端が接続され、前記昇圧手段により昇圧された電圧を降圧する降圧手段と、前記降圧手段の他端に接続された不揮発性メモリセルと、前記降圧手段と前記メモリセルとの相互間の一点に一端を接続したパッドと、を具備し、通常使用時、前記降圧手段により降圧された電圧を前記メモリセルに供給し、検査工程時、前記パッドに印加され、前記降圧された電圧より高い電圧を前記メモリセルに供給するように構成したことを特徴とする不揮発性メモリセルへの電圧供給回路。

【請求項2】 電源電圧を昇圧する昇圧手段と、前記昇圧手段に一端が接続され、前記昇圧手段により昇圧された電圧を降圧する降圧手段と、前記降圧手段の他端に接続された不揮発性メモリセルと、前記降圧手段と前記不揮発性メモリセルとの間に設けられた第1の端子と、前記降圧手段と前記昇圧手段との間に設けられた第2の端子と、を具備し、通常使用時、前記降圧手段により降圧された電圧を前記メモリセルに供給し、検査工程時、前記第1の端子と第2の端子とを短絡し、前記昇圧された電圧を前記メモリセルに供給するように構成したことを特徴とする不揮発性メモリセルへの電圧供給回路。

【請求項3】 動作電源を昇圧する昇圧手段と、前記昇圧手段に一端が接続され、前記昇圧手段により昇圧された電圧を降圧する降圧手段と、前記降圧手段の他端に第1のスイッチを介して接続された不揮発性メモリセルと、前記第1のスイッチと前記不揮発性メモリセルとの相互間の一点と、前記降圧手段と前記昇圧手段との相互間の一点とを互いに接続し、第2のスイッチを持つ電圧伝達経路と、を具備し、通常使用時、前記第1のスイッチをオン、第2のスイッチをオフとし、前記降圧手段により降圧された電圧を前記メモリセルに供給し、検査工程時、前記第1のスイッチをオフ、第2のスイッチをオンとし、前記昇圧された電圧を、前記電圧伝達経路を介して前記メモリセルに供給するように構成したことを特徴とする不揮発性メモリセルへの電圧供給回路。

【請求項4】 前記降圧手段は、前記メモリセル側にカソードを接続したダイオードであることを特徴とする請求項1乃至3いずれかに記載の不揮発性メモリセルへの電圧供給回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は不揮発性メモリセルに電圧を供給するための電圧供給回路に関する。

## 【0002】

【従来の技術】 従来、不揮発性メモリセルに電圧を供給するための電圧供給回路として、図11に示されるような回路がある。

【0003】 図11に示すように、EEPROMメモリセル100には昇圧回路102が接続されている。昇圧

回路102は、EEPROMメモリセルの記憶を書き込む時や、記憶を消去する時等に用いられる高電圧（例えば20V）を供給するものである。この昇圧回路102により、例えば動作電源電圧（例えば5V）が上記高電圧に昇圧される。昇圧回路102とEEPROMメモリセル100とを互いに接続する配線104には、これにカソードを接し、アノードを接地するダイオード106が接続されている。このダイオード106はリミッタであり、過大な電圧がかかってしまった時等、これをブレークダウンさせて電圧を下げ、ゲート酸化膜等が破壊されないようにEEPROMメモリセル100を保護するものである。ダイオード106とEEPROMメモリセル100との間のノードaには、パッド108が接続されている。このパッド108はテスト時に使用されるもので、例えば製造工程途中に行われるスクリーニングテスト（選別検査工程）の際等、このパッド108に電圧を印加することにより、EEPROMメモリセル100に電圧が供給されるものである。

【0004】 スクリーニングテストとはメモリセルに対し、例えば記憶の消去／書き込みを繰り返し行い、良品と不良品とを振り分ける選別検査のことを言う。このスクリーニングテストで壊れたものは当然ながら不良品とされ、正常なものは良品とされて、例えば次の工程に送られる。このスクリーニングテストには様々な規定があり、一例を挙げれば、記憶の消去／書き込みを数万回におよび繰り返す等である。

【0005】 しかし、例えば記憶の消去／書き込みを数万回繰り返すスクリーニングテストは、非常に時間を要するものであり、この結果、装置の製造着手から装置完成までの期間を長くしてしまう一つの要因となっている。

【0006】 又、スクリーニングテストに要する時間を短縮する方法として、スクリーニングテスト時、メモリセルに供給される電圧を、通常の消去／書き込みに用いられる電圧より高くすることが考えられている。これは所謂“電界加速スクリーニング”と呼ばれる方法である。これによれば、電圧を通常使用時より高くしてストレスを加わり易くし、上記繰り返しの回数の減少を図るものである。

【0007】 しかし、図11に示したような電圧供給回路では、ダイオード（リミッタ）106が、パッド108～メモリセル100相互間のノードaに接続された状態にある。このため、ノードa～メモリセル100との間の電位Eが、ダイオード106によりリミットされた制限電圧以上に上がらない。このため、パッド108に高電圧を印加したとしても、ダイオード106によりリミットがかかってしまい、電界加速スクリーニングが行えない。

## 【0008】

【発明が解決しようとする課題】 以上、説明したよう

に、例えばスクリーニングテスト等に代表される検査工程は、非常に長い時間を要するものである。このために検査工程は、装置の製造着手から装置完成までの期間を長くしてしまう原因の一つである。

【0009】これを解決するための方法として電界加速スクリーニングがあるが、従来の電圧供給回路では、パッド～メモリセル相互間にリミッタが接続された形であり、通常の消去／書き込み時とスクリーニングテスト時とで電圧を互いに切り替えることができない。

【0010】この発明は上記のような点に鑑みて為されたもので、その目的は、電界加速スクリーニングを可能とできる不揮発性メモリセルへの電圧供給回路を提供することにある。

【0011】

【課題を解決するための手段】この発明の第1の態様による不揮発性メモリセルへの電圧供給回路は、電源電圧を昇圧する昇圧手段と、前記昇圧手段に一端が接続され、前記昇圧手段により昇圧された電圧を降圧する降圧手段と、前記降圧手段の他端に接続された不揮発性メモリセルと、前記降圧手段と前記メモリセルとの相互間の一点に一端を接続したパッドと、を具備し、通常使用時、前記降圧手段により降圧された電圧を前記メモリセルに供給し、検査工程時、前記パッドに印加され、前記降圧された電圧より高い電圧を前記メモリセルに供給するように構成したことを特徴とする。

【0012】この発明の第2の態様による不揮発性メモリセルへの電圧供給回路は、動作電源電圧を昇圧する昇圧手段と、前記昇圧手段に一端が接続され、前記昇圧手段により昇圧された電圧を降圧する降圧手段と、前記降圧手段の他端に接続された不揮発性メモリセルと、前記降圧手段と前記不揮発性メモリセルとの間に設けられた第1の端子と、前記降圧手段と前記昇圧手段との間に設けられた第2の端子と、を具備し、通常使用時、前記降圧手段により降圧された電圧を前記メモリセルに供給し、検査工程時、前記第1の端子と第2の端子とを短絡し、前記昇圧された電圧を前記メモリセルに供給するように構成したことを特徴とする。

【0013】この発明の第3の態様による不揮発性メモリセルへの電圧供給回路は、動作電源を昇圧する昇圧手段と、前記昇圧手段に一端が接続され、前記昇圧手段により昇圧された電圧を降圧する降圧手段と、前記降圧手段の他端に第1のスイッチを介して接続された不揮発性メモリセルと、前記第1のスイッチと前記不揮発性メモリセルとの相互間の一点と、前記降圧手段と前記昇圧手段との相互間の一点とを互いに接続し、第2のスイッチを持つ電圧伝達経路と、を具備し、通常使用時、前記第1のスイッチをオン、第2のスイッチをオフとし、前記降圧手段により降圧された電圧を前記メモリセルに供給し、検査工程時、前記第1のスイッチをオフ、第2のスイッチをオンとし、前記昇圧された電圧を、前記電圧伝

達経路を介して前記メモリセルに供給するように構成したことを特徴とする。又、第1～第3の態様において、前記降圧手段は、前記メモリセル側にカソードを接続したダイオードであることを特徴とする。

【0014】

【作用】上記のような第1～第3の態様による不揮発性メモリセルへの電圧供給回路にあっては、通常使用時、電圧が降圧手段を介してメモリセルに供給される。これと共に、例えば前記降圧手段と前記メモリセルの相互間の一点に一端を接続したパッド、又は前記降圧手段の例えば両端にそれぞれ設けられた端子、又は前記降圧手段の例えば両端にそれぞれ接続され、スイッチを有する電圧伝達経路、といった主に検査工程時に使用される部位が更に有されている。これらの部位は、前記降圧手段により降圧された電圧とは異なる電圧を前記メモリセルに供給できるように、その一端が前記メモリセルと降圧手段との相互間に接続されている。これにより、メモリセルに対して供給される電圧を通常使用時と検査工程時とで各々切り替えることができ、電界加速スクリーニングが可能となる。

【0015】又、前記降圧手段は、前記メモリセル側にカソードを接続したダイオードにより構成することにより、前記部位より昇圧手段に向かって流れるような電流を阻止することができる。

【0016】

【実施例】以下、図面を参照し、この発明を実施例により説明する。

【0017】図1はこの発明の第1の実施例に係わる不揮発性メモリセルへの電圧供給回路を示す図である。図1において図10と同一の部分については同一の参照符号を付す。

【0018】図1に示すように、EEPROMメモリセル100（以下、単にセル100と称す）と動作電源電圧を昇圧して記憶の消去／書き込みに用いられる高電圧を生成する昇圧回路102とが、配線104により互いに接続されている。この配線104中には降圧回路110が挿入されている。この降圧回路110は、例えば複数のダイオードD1～Dnにより構成される。複数のダイオードD1～Dnについては、例えばNチャネル型MOSFETのソース／ドレインの一方とゲートを短絡したもので良い。又、複数のダイオードD1～Dnは、セル100側にカソードが接続され、昇圧回路102側にアノードが接続されるようにして直列に接続されている。ダイオードD1のカソードと、セル100との間のノードaには、テスト時に使用されるパッド108が接続されている。

【0019】上記構成の電圧供給回路によれば、例えば通常動作において、降圧回路110により降圧された電圧E1がセル100に供給される。例えば電圧E1は、昇圧回路102で昇圧された電圧より、（ダイオードの

5

接続段数 $n \times$ ダイオードの順方向降下電圧 $V_D$ )分だけ低い電圧となる。又、スクリーニングテスト等の検査工程においては、外部電源111よりパッド108に印加された電圧E2がセル100に供給される。

【0020】上記構成の電圧供給回路であれば、通常使用時と検査工程時とで、セル100に供給する電圧を互いに切り替えることができ、電界加速スクリーニングが可能である。これにより、検査工程に要する時間を短縮できる不揮発性メモリセルへの電圧供給回路が得られるものである。

【0021】尚、パッド104より電圧がセル100に供給される時、ノードaの電位が高くなる。しかし、この時は、例えば図1に示すように降圧回路110を構成するダイオードD1~Dnのカソードがノードaに接続されていることにより、ノードaから昇圧回路102に向かっては逆バイアスとなり、電流が流れることがない。又、パッド108より電圧がセル100に供給される時、昇圧回路102が所定の電圧に保持されても良い。例えばパッド108に印加される電圧と同じ、あるいはそれより低い電圧に保持しておく等である。

【0022】図2及び図3はそれぞれこの発明の第2の実施例に係わる不揮発性メモリセルへの電圧供給回路を示す図である。図2及び図3において図1と同一の部分については同一の参照符号を付し、異なる部分についてのみ説明する。

【0023】図2又は図3に示すように、降圧回路110とセル100との間のノードaに第1の端子120Aが接続され、又、降圧回路110と昇圧回路102との間のノードbに第2の端子120Bが接続されている。これらの第1、第2の端子120A、120Bはそれぞれ、通常の状態ではオープンにされており、例えばテスト時にのみこれらは使用される。

【0024】例えば図2が通常の状態（実使用時）を示しており、昇圧回路102で昇圧された電圧が、降圧回路110によりある程度降圧されてから、セル100に供給される（電圧E1）。

【0025】又、図3が例えばスクリーニングテスト時の状態を示しており、短絡手段122により、第1の端子120Aと第2の端子120Bとが短絡されている。このように短絡させた状態で、昇圧回路102で昇圧された電圧が短絡手段122を介してセル100に供給される（電圧E2）。

【0026】このように、第1の端子120Aと第2の端子120Bとを短絡させることにより、昇圧回路102で昇圧された電圧を、ほぼそのままにしてセル100に供給できる。反対に短絡させなければ、上記昇圧された電圧を、降圧回路110により降圧してから、セル100に供給できる。この結果、第1の実施例と同じように、通常使用時と検査工程時とで、セル100に供給する電圧を互いに切り替えることができる。尚、短絡手段

6

122としては、様々な方法が考えられるが、一例を挙げるとすれば、ウェーハプローバ等を介して短絡させる等がある。

【0027】図4はこの発明の第3の実施例に係わる不揮発性メモリセルへの電圧供給回路を示す図である。図4において図2と同一の部分については同一の参照符号を付し、異なる部分についてのみ説明する。

【0028】図4に示すように、第2の端子120Bは、降圧回路110に接続されても良い。例えば降圧回路110内で直列接続されたダイオードD1~Dnの相互接続点（ノードc）のいずれかに上記第2の端子120Bを接続する等である。

【0029】このようにしても、第2の実施例と同様に、第1の端子120Aと第2の端子120Bとを短絡させるだけで、降圧回路110で十分に降圧された電圧と、端子120Bより抽出された電圧との2種類を得ることができ、セル100に対して供給することができる。

【0030】図5はこの発明の第4の実施例に係わる不揮発性メモリセルへの電圧供給回路を示す図である。図5において図1と同一の部分については同一の参照符号を付し、異なる部分についてのみ説明する。

【0031】図5に示すように、降圧回路110とノードaとの間に直列に接続され、スイッチとして機能する第1のMOSFET130が設けられている。又、ノードaとノードbとを互いに接続し、ノードbの電圧をノードaに伝えるための電圧伝達経路128が設けられている。この電圧伝達経路128には、スイッチとして機能する第2のMOSFET132が設けられている。又、MOSFET130、132のゲートにはそれぞれ、制御信号である信号A、及びこれの反転信号A（ $\bar{A}$ ）により駆動される。

【0032】例えばこの回路では、通常の状態（実使用時）において、MOSFET130をオンさせておき、MOSFET132をオフさせておく。これにより、降圧回路110により降圧された電圧が、セル100に供給される（電圧E1）。

【0033】又、検査工程時には、反対にMOSFET130をオフさせ、MOSFET132をオンさせておく。これにより、昇圧回路100により昇圧された電圧が、電圧伝達経路128を介してセル100に供給される（電圧E2）。このようにして第1の実施例と同じように、通常使用時と検査工程時とで、セル100に供給する電圧を互いに切り替えることができる。又、MOSFET130及び132は、その他のスイッチ手段に置き換えられても良い。その他のスイッチ手段としては、例えばヒューズ等である。

【0034】図6はこの発明の第5の実施例に係わる不揮発性メモリセルへの電圧供給回路を示す図である。図6において図5と同一の部分については同一の参照符号

を付し、異なる部分についてのみ説明する。

【0035】図6に示すように、ノードaとダイオードD1～Dnの相互接続点であるノードcとの間に、第2のMOSFET132を持つ電圧伝達経路128を挿入するようにしても良い。

【0036】図7はこの発明の第6の実施例に係わる不揮発性メモリセルへの電圧供給回路を示す図である。図7において図1と同一の部分については同一の参照符号を付し、異なる部分についてのみ説明する。

【0037】図7に示すように、第1の実施例で説明した回路において、降圧回路110と昇圧回路102との間のノードbに、リミッタとして機能するダイオード106を更に接続したものである。ダイオード106はリミッタとして機能できるように、カソードがノードbに接続され、アノードが接地されている。このように、降圧回路110と昇圧回路102との間にリミッタとしてのダイオード106を接続しても良い。

【0038】図8はこの発明の第7の実施例に係わる不揮発性メモリセルへの電圧供給回路を示す図である。図8において図2と同一の部分については同一の参照符号を付し、異なる部分についてのみ説明する。図8に示すように、第2の実施例で説明した回路において、ノードbに、リミッタとして機能するダイオード106を更に接続したものである。

【0039】尚、この場合には、昇圧回路102により昇圧された電圧が、ダイオード106によりリミットされる。このリミットされた電圧が、降圧回路110により降圧されてセル100に供給されるか、あるいはリミットされた電圧が、端子120Aと120Bとを短絡させることにより、ほぼそのままの電圧が維持されてセル100に供給されるかのいずれかとされる。これにより、電界加速スクリーニングを行うための電圧をリミットすることもできる。

【0040】図9はこの発明の第8の実施例に係わる不揮発性メモリセルへの電圧供給回路を示す図である。図9において図5と同一の部分については同一の参照符号を付し、異なる部分についてのみ説明する。図9に示すように、第4の実施例で説明した回路において、ノードbに、リミッタとして機能するダイオード106を更に接続したものである。この場合には、第7の実施例と同様に、電界加速スクリーニングを行うための電圧をリミットすることができる。次に、電界加速スクリーニングを行うことによる効果について、より詳細に説明する。

【0041】図10は横軸に消去／書き込みの回数を取り、縦軸にEEPROMの累積不良率を取り、両者の関係を示した特性図（ワイブルプロット）である。尚、図10は電界加速スクリーニングを説明するための図であり、このため、模式的に示されている。

【0042】図10において、線Iは、スクリーニングテストが電圧E1（通常使用時の電圧）により行われた

場合を示している線である。線IIは、スクリーニングテストが電圧E2（通常使用時より高い電圧：電界加速スクリーニングを指す）により行われた場合を示している線である。電圧E1と電圧E2との関係は、 $E1 < E2$ である。

【0043】図10に示すように、例えば線I、線IIの双方で消去／書き込みが100回のスクリーニングが行われたと仮定する。この時、線IIでは、電圧が高められていることにより100回の回数で、線Iにおける1000～3000回程度の回数に相当した不良率を実現される。図中の $\Delta F1$ は、消去／書き込み100回のスクリーニングにおいて、消去／書き込みが10000回となった時点での不良率である。 $\Delta F2$ は、消去／書き込み1000～3000回のスクリーニングにおいて、消去／書き込みが10000回となった時点での不良率である。これら不良率の関係は、 $\Delta F1 > \Delta F2$ となっている。このような不良率の差により、製品出荷後における不良率を軽減できると共に、スクリーニングテストに要する時間を短縮できる。

【0044】上記構成の不揮発性メモリセルへの電圧供給回路によれば、通常使用時と検査工程時とで、第1の実施例に代表されるように装置の外部電源より、あるいは第2、第4の実施例に代表されるように装置内部での昇圧により、EEPROMメモリセルへ供給する電圧をそれぞれ切り替えることができる。これにより上記のような優れた効果を奏する電界加速スクリーニングを、例えば降圧回路を備えるだけの簡単な回路で実現できるものである。

【0045】

【発明の効果】以上説明したようにこの発明によれば、電界加速スクリーニングを可能とできる不揮発性メモリセルへの電圧供給回路を提供できる。

【図面の簡単な説明】

【図1】この発明の第1の実施例に係わる不揮発性メモリセルへの電圧供給回路を示す図。

【図2】この発明の第2の実施例に係わる不揮発性メモリセルへの電圧供給回路を示す図。

【図3】この発明の第3の実施例に係わる不揮発性メモリセルへの電圧供給回路を示す第1の図。

【図4】この発明の第3の実施例に係わる不揮発性メモリセルへの電圧供給回路を示す第2の図。

【図5】この発明の第4の実施例に係わる不揮発性メモリセルへの電圧供給回路を示す図。

【図6】この発明の第5の実施例に係わる不揮発性メモリセルへの電圧供給回路を示す図。

【図7】この発明の第6の実施例に係わる不揮発性メモリセルへの電圧供給回路を示す図。

【図8】この発明の第7の実施例に係わる不揮発性メモリセルへの電圧供給回路を示す図。

【図9】この発明の第8の実施例に係わる不揮発性メモ

9

10

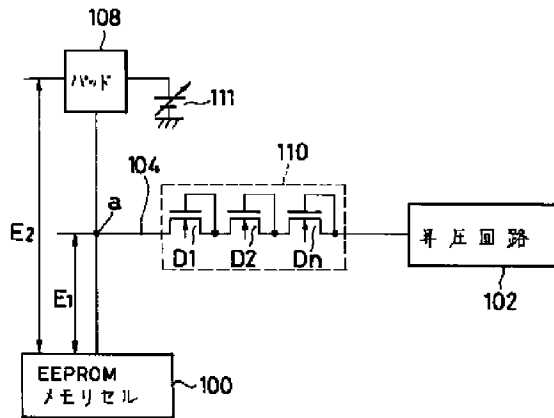
リセルへの電圧供給回路を示す図。

【図10】消去／書き込みとEEPROMの累積不良率との関係を示す特性図。

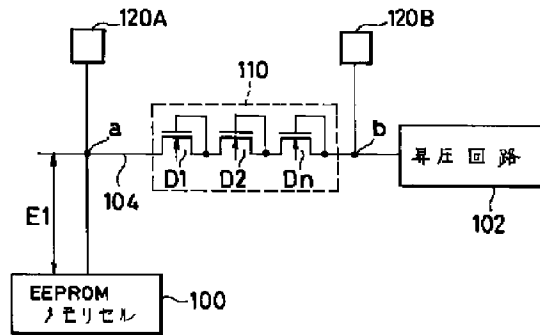
【図11】従来の不揮発性メモリセルへの電圧供給回路を示す図。

【符号の説明】

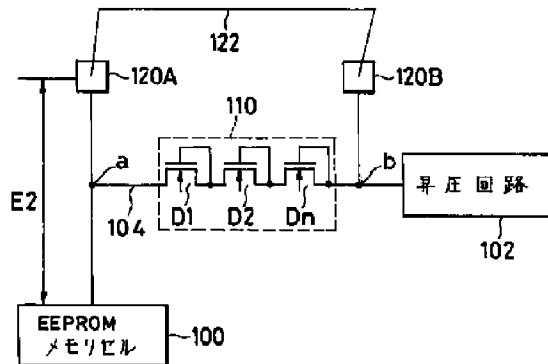
【図1】



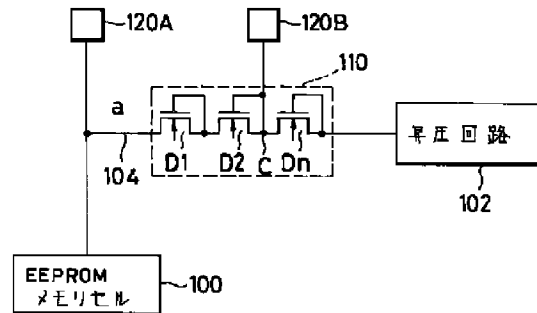
【図2】



【図3】

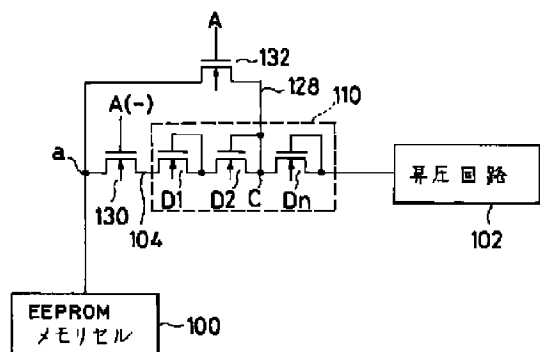
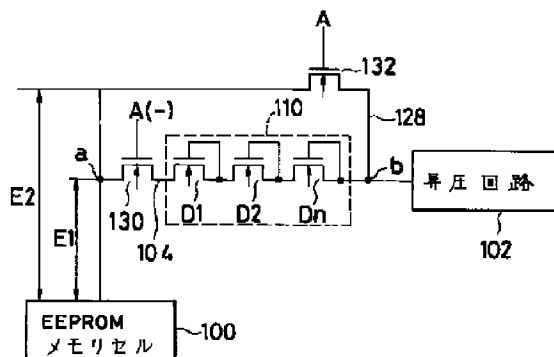


【図4】



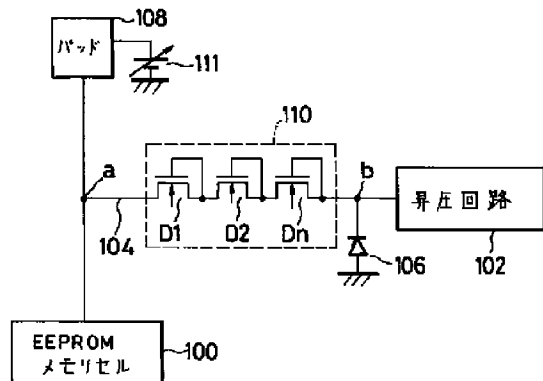
【図6】

【図5】

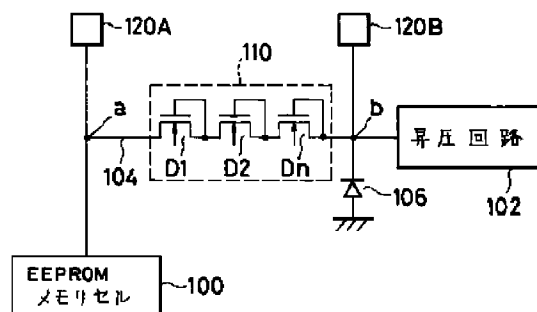




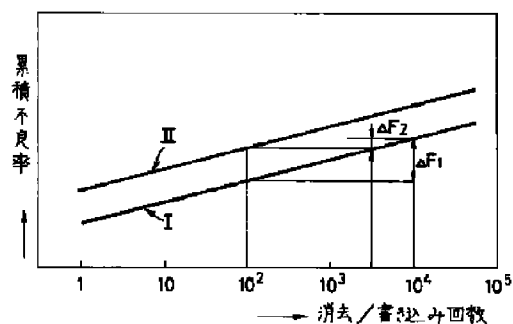
【図7】



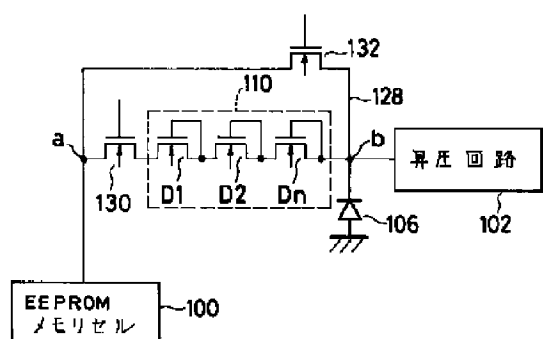
【図8】



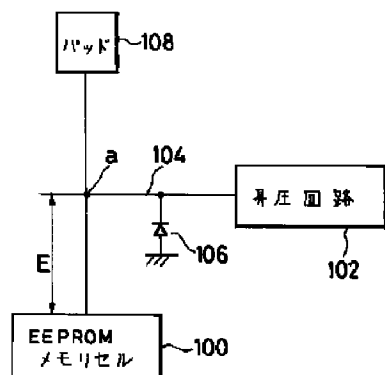
【図10】



【図9】



【図11】



フロントページの続き

(51) Int. Cl.<sup>5</sup>

H 0 1 L 27/04

27/10

識別記号

庁内整理番号

F I

技術表示箇所

G 8427-4M

4 8 1

8624-4M